




ESCUELA POLITÉCNICA SUPERIOR

Diligencia para hacer constar que las siguientes páginas de este documento se corresponden con la información que consta en la Secretaria de la Escuela Politécnica Superior de la Universidad de Sevilla relativa al programa oficial de la asignatura “Diseño Digital Avanzado” (2010034) del curso académico “2019-2020”, de los estudios de “Grado en Ingeniería Electrónica Industrial”.

M<sup>a</sup> Eugenia de Medina Hernández

Responsable de Administración de Centro

<b>Código Seguro De Verificación</b>	ymFbS+HIazJ3i8V+yLoAgg==	<b>Fecha</b>	27/01/2020
<b>Firmado Por</b>	EUGENIA DE MEDINA HERNANDEZ		
<b>Url De Verificación</b>	<a href="https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==">https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==</a>	<b>Página</b>	1/5





PROGRAMA DE LA ASIGNATURA  
**Diseño Digital Avanzado**

<b>Datos básicos de la asignatura</b>	
<b>Titulación:</b>	Grado en Ingeniería Electrónica Industrial
<b>Año plan de estudio:</b>	2010
<b>Curso implantación:</b>	2013-14
<b>Departamento:</b>	Tecnología Electrónica
<b>Centro sede</b>	Escuela Politécnica Superior
<b>Departamento:</b>	
<b>Nombre asignatura:</b>	Diseño Digital Avanzado
<b>Código asignatura:</b>	2010034
<b>Tipología:</b>	OPTATIVA
<b>Curso:</b>	4
<b>Periodo impartición:</b>	CUATRIMESTRAL
<b>Créditos ECTS:</b>	6
<b>Horas totales:</b>	150
<b>Área de conocimiento:</b>	Tecnología Electrónica

<b>Objetivos y competencias</b>
<p><b>OBJETIVOS:</b></p> <p>El objetivo de esta asignatura es el desarrollo en el alumno de la capacidad de especificar, diseñar y desarrollar sistemas electrónicos digitales de mediana complejidad, utilizando lenguajes de descripción de hardware (HDLs). Para la implementación de estos sistemas se utilizarán dispositivos programables FPGA. El conocimiento de la estructura interna de estos dispositivos y el manejo de las herramientas utilizadas para su configuración son también objetivos de esta asignatura.</p> <p>Conceptos como, la especificación y diseño de sistemas digitales, la descripción en HDL, simulación, test y puesta a punto de sistemas de mediana complejidad en tecnologías VLSI y programables son los que van a ver en la asignatura.</p> <p>Para alcanzar los objetivos anteriores la asignatura se estructura en Teoría y Laboratorio.</p> <p>¿ La teoría incluye el estudio de los conceptos fundamentales de los lenguajes de descripción de hardware, en concreto del lenguaje VHDL. Tipos de datos, sentencias, formas de especificar circuitos combinatoriales y secuenciales, limitaciones del lenguaje para la síntesis y creación de</p>

<b>Código Seguro De Verificación</b>	ymFbS+HIazJ3i8V+yLoAgg==	<b>Fecha</b>	27/01/2020
<b>Firmado Por</b>	EUGENIA DE MEDINA HERNANDEZ	<b>Página</b>	2/5
<b>Url De Verificación</b>	<a href="https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==">https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==</a>		





PROGRAMA DE LA ASIGNATURA  
**Diseño Digital Avanzado**

entidades de test son los aspectos más importantes que se cubren.

También se cubren en teoría aspectos relacionados con la tecnología de implementación. En concreto con la estructura interna de las familias y dispositivos FPGA de Xilinx. A fin de conseguir buenas implementaciones, la forma con la que estos dispositivos consiguen la funcionalidad digital y los recursos específicos también son estudiados.

¿ El laboratorio permite afianzar los conocimientos adquiridos en la teoría mediante su puesta en práctica en un sistema real. Para ello se utilizarán placas de desarrollo de Xilinx y el software ISE Webpack. Los objetivos en el laboratorio son dos: por una parte generar y simular descripciones VHDL de un sistema de mediana complejidad y por otra parte implementarlo de forma eficiente, haciendo uso de los recursos específicos de que dispone el dispositivo e imponiendo restricciones a las herramientas de síntesis y place & route.

La asignatura se enfoca desde un punto de vista práctico, realizando diseños en los que se apliquen los conocimientos presentados en teoría. A medida que el curso vaya avanzando los diseños irán aumentando de complejidad, para finalizar con la realización de un diseño de cierta complejidad en que se aplicarán todos los conocimientos adquiridos.

Conocimientos previos: Esta asignatura requiere conocimientos que se han impartido en la asignatura ¿Electrónica Digital¿, de segundo curso y en menor medida de la asignatura ¿Sistemas basados en microprocesador¿ de tercer curso.

**COMPETENCIAS:**

Competencias específicas:

E70 Capacidad para abordar diseños digitales complejos.

E71 Manejo de lenguajes de descripción de hardware.

E72 Utilización de dispositivos programables (FPGA) para la implementación de diseños.

Competencias genéricas:

G01 Capacidad para la resolución de problemas.

G04 Capacidad de aplicar los conocimientos en la práctica.

Código Seguro De Verificación	ymFbS+HIazJ3i8V+yLoAgg==	Fecha	27/01/2020
Firmado Por	EUGENIA DE MEDINA HERNANDEZ	Página	3/5
Url De Verificación	<a href="https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==">https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==</a>		





PROGRAMA DE LA ASIGNATURA  
**Diseño Digital Avanzado**

G09 Creatividad y espíritu inventivo en la resolución de problemas científico-técnicos.

### Contenidos o bloques temáticos

La asignatura tiene dos bloques de contenidos básicos:

1. Descripción y diseño de circuitos digitales con VHDL.
2. Implementación de circuitos en dispositivos programables.

Estos contenidos serán aplicados en diseños prácticos que en la medida de lo posible estarán relacionados con entornos industriales.

Los contenidos a desarrollar en cada uno de los bloques son:

¿ Descripción y diseño de sistemas digitales con VHDL:

Introducción al diseño a nivel RT y lenguajes de descripción de hardware. Elementos básicos del lenguaje VHDL (entidades, arquitecturas, señales, variables, tipos, operadores...). Instrucciones concurrentes. Instrucciones secuenciales. VHDL para síntesis. Diseño de test\_benches.

Conocimiento de aspectos de diseño a nivel RT: particionado, temporización, síntesis automática y test.

¿ Implementación de circuitos en dispositivos programables:

Descripción del entorno Xilinx ISE. Síntesis lógica, proceso y opciones. Place & route, proceso y opciones. Implementación y programación de dispositivos \_FPGA.

Conocimiento de manejo de familias de dispositivos FPGA, su configuración y sus características especiales

### Actividades formativas y horas lectivas

Actividad	Créditos	Horas
B Clases Teórico/ Prácticas	3	30

Código Seguro De Verificación	ymFbS+HIazJ3i8V+yLoAgg==	Fecha	27/01/2020
Firmado Por	EUGENIA DE MEDINA HERNANDEZ	Página	4/5
Url De Verificación	<a href="https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==">https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==</a>		





PROGRAMA DE LA ASIGNATURA  
**Diseño Digital Avanzado**

E Prácticas de Laboratorio	3	30
----------------------------	---	----

#### Metodología de enseñanza-aprendizaje

##### Clases teóricas

En estas clases se impartirán los conocimientos teóricos necesarios en la asignatura. La metodología seguirá el esquema de lección magistral aunque con participación de los alumnos.

##### Prácticas de Laboratorio

Estas clases consistirán en la realización guiada de pequeños diseños en los que se apliquen los conocimientos recibidos en teoría. Se realizarán utilizando herramientas de CAD y placas de desarrollo de dispositivos FPGA.

##### Explicación y trabajo en diseños a realizar

En estas horas se detallarán los diseños a realizar por los alumnos y se dedicará un tiempo a la discusión de las dudas. Se iniciará el proceso de diseño que continuará el alumno de forma autónoma.

#### Sistemas y criterios de evaluación y calificación

Se seguirá un mecanismo de evaluación continua, que se basará en los siguientes aspectos:

- ¿ Asistencia a las clases.
- ¿ Realización de las prácticas.
- ¿ Entrega de un trabajo.
- ¿ Nota de un examen final.

Código Seguro De Verificación	ymFbS+HIazJ3i8V+yLoAgg==	Fecha	27/01/2020
Firmado Por	EUGENIA DE MEDINA HERNANDEZ	Página	5/5
Url De Verificación	<a href="https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==">https://pfirma.us.es/verifirma/code/ymFbS+HIazJ3i8V+yLoAgg==</a>		

